

# CSD法PZT薄膜の膜厚に及ぼすプロセス因子の影響

(静岡大学) ○小長谷哲巧・鈴木久男・川口昂彦・坂元尚紀・脇谷尚樹

[緒言]近年では次世代MEMSデバイスとして、圧電体薄膜を用いた圧電MEMSデバイスが注目を集めている。圧電アクチュエータには高剛性の基板上に圧電特性の高い圧電体薄膜を作製する必要がある。高い圧電特性を有する材料としては $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (PZT)があげられる。PZTは高い圧電定数を有することから超音波モーターやジャイロなどに用いられている。また高剛性の基板としてはSi基板上に厚い $\text{SiO}_2$ 層を堆積させたものがあげられるが $\text{SiO}_2$ は熱膨張係数が非常に小さく基板上の薄膜全体に引っ張り応力が残留してしまう問題点がある。また現在のCSD法では、1層あたりの膜厚が100 nm程度であり、コスト削減の観点から1層あたりの膜厚の増加が求められる。以上のことから本研究ではMEMS用の厚い $\text{SiO}_2$ 層を堆積させたSi基板上にCSD法で1層あたりの膜厚が厚いPZT薄膜の作製を目的とする。

[実験方法]出発原料として酢酸鉛III水和物とジルコニウム-n-プロポキシド、チタンテトライソプロポキシドを用い、溶媒として無水エタノールを用いて膜厚を厚くするために高濃度の0.8MPZT前駆体溶液を調製した。また、乾燥時に発生する毛管力による亀裂の発生を抑制するため、DCCA (Drying Control Chemical additive) としてホルムアミドを添加してこの効果を検証した。これらの前駆体溶液を応力緩和が可能な多孔質構造の $\text{LaNiO}_3$ (LNO)とスパッタリングによる配向膜をシード層として導入した。 $\text{SiO}_2$ 層の厚さは1.5 $\mu\text{m}$ とした。その後、150°Cで10分間乾燥、420°Cで10分間仮焼し、昇温速度3.3°C/s、酸素雰囲気下にて650°Cの結晶化した。この工程を繰り返すことによってZr/Ti比を53/47のPZT薄膜を作製した。作製したPZT薄膜のX線回折(XRD)による配向性測定、電気特性評価、SEMによる微構造観察を行った。

[結果と考察]0.8Mでは1層あたり165nmが得られ、5層で880nmの膜厚が得られた。しかし、表面には多くの亀裂が入ってしまった。一方で、ホルムアミドを添加した前駆体溶液を用いた薄膜では、亀裂の減少が見られた。このことから表面の亀裂は乾燥段階で溶媒が揮発する際に生じるものと示唆された。Fig.2に示すP-Eヒステリシスループ(青がLNOシード、赤が配向膜シード)から、ホルムアミドの添加による特性の低下は見られなかった。LNO基板上に製膜したPZT薄膜が高い特性を示した理由としては、LNOの構造がポーラスであるために基板からの引っ張り応力を緩和していることが考えられる。この結果より、引っ張り応力の大きな基板上でより高い特性を得るためには基板からの応力を緩和することが重要であり、ホルムアミドを添加して乾燥時の毛管力を抑制することで一層当たりの膜厚の増加と優れた電気特性の両立が可能であることが明らかとなった。

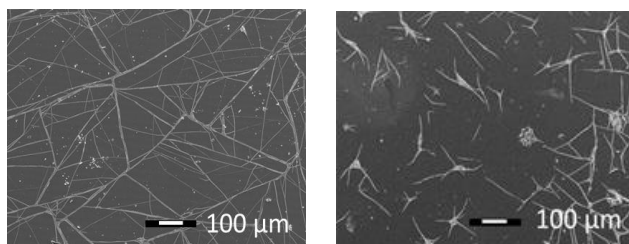


Fig.1. Surface of PZT SEM images

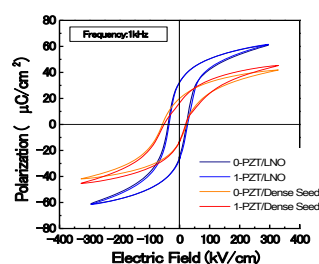


Fig.2. P-E loop